

Item N on PTO 892.

PAT-NO: JP362123736A

DOCUMENT-IDENTIFIER: JP 62123736 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 5, 1987

INVENTOR-INFORMATION:

NAME

HOTTA, NOBUAKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP60264321

APPL-DATE: November 22, 1985

INT-CL (IPC): H01L021/76, H01L027/08

US-CL-CURRENT: 257/305

ABSTRACT:

PURPOSE: To prevent the increase of the leak of a P<SP>+</SP>N junction and to prevent the leak current between a source and a drain regions due to a parasitic MOS by separating the second conductive type impurity region from a field oxide film with the first conductive type separation region.

CONSTITUTION: Each of P<SP>+</SP> type diffusion layer regions 38, 39 for the source and the drain regions of a P-channel MOS transistor and N<SP>+</SP> type diffusion layer regions 33, 34 for the source and the drain regions of an N-channel MOS transistor are separated from the end of a thick field oxide film 14 formed by LOCOS. This can prevent the increase of the leaks of an N<SP>+</SP>P junction and a P<SP>+</SP>N junction at the end of the field oxide film due to the irradiation with radiation. Higher concentration P-type impurity regions 24, 25 and N-type impurity regions 19, 20 than a P-type well region and an N-type silicon substrate respectively are also formed between the N<SP>+</SP> type and the P<SP>+</SP> type diffusion layer regions and the end of the thick field oxide film and this prevents the leak current between the source and the drain regions due to a parasitic MOS.

COPYRIGHT: (C)1987,JPO&Japio

## ⑫ 公開特許公報(A)

昭62-123736

⑤ Int.Cl.<sup>4</sup>H 01 L 21/76  
27/08

識別記号

1 0 2

庁内整理番号

S-7131-5F  
7735-5F

④ 公開 昭和62年(1987)6月5日

審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 半導体装置

① 特 願 昭60-264321

② 出 願 昭60(1985)11月22日

⑦ 発 明 者 堀 田 信 昭 東京都港区芝5丁目33番1号 日本電気株式会社内

⑧ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑨ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

- (1) 第1導電型の基板領域の表面部に素子形成領域を画成するフィールド酸化膜と、前記素子形成領域の表面部に形成された第2導電型の不純物領域とを有する半導体装置において、前記第2導電型の不純物領域とフィールド酸化膜との間に前記基板領域と同一導電型の分離領域を介在させたことを特徴とした半導体装置。
- (2) 前記分離領域の不純物濃度を基板領域より高めた特許請求の範囲第1項記載の半導体装置。
- (3) 前記第1導電型の基板を第2導電型の基板表面に形成されたウェルとした特許請求の範囲第1項または第2項記載の半導体装置。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は半導体装置、特に、半導体基板に形成された素子間の分離構造に関する。

## &lt;従来の技術&gt;

従来の相補型MOS半導体装置(以下CMOSと称す)の構造は、LOCOS法によるフィールド酸化膜を有する場合、第3図に示すようなものである。

第3図において、111はN型シリコン基板、112はP型ウェル領域、113はNチャンネルMOS側領域のフィールド酸化膜下部に形成されたチャンネルストップの為のP<sup>+</sup>型拡散層領域、114は周知のLOCOS法で形成されたフィールド酸化膜、126、127は熱酸化法で形成された薄いゲート酸化膜、128、129はリンドーブされた多結晶シリコンゲート電極、133、134はNチャンネルMOSトランジスタのソース・ドレイン領域となるN<sup>+</sup>型拡散層領域、138、139はPチャンネルMOSトランジスタのソース・ドレイン領域となるP<sup>+</sup>型拡散層領域、140

は層間絶縁の爲の気相成長法によるシリコン酸化膜、141, 142, 143, 144はアルミ配線層である。

#### <発明が解決しようとする問題点>

上述した従来のCMOS構造の場合、放射線、例えばγ線などを照射すると、ソース・ドレイン領域となる $N^+$ 型拡散層および $P^+$ 型拡散層が、P型ウェルおよびN型シリコン基板との間で成される $N^+P$ および $P^+N$ 接合部で逆方向リーク電流が増加することが見出され、特に、フィールド酸化膜端部との接触部で著しく、素子の特性を悪化させるという問題点がある。これら放射線照射によるリーク電流増加の原因は、現在までの解析の結果、放射線照射によりフィールド酸化膜中にホール電荷がトラップされるとともに、酸化膜・シリコン界面には界面準位が発生し、それらは熱酸化膜厚が厚いほど顕著であることがわかっていることから、フィールド酸化膜近傍での接合リークの増加も、界面準位の増加による空乏層での再結合電流によるものである。

極、33, 34はNチャンネルMOSトランジスタのソース・ドレイン領域となる $N^+$ 型拡散層領域、38, 39はPチャンネルMOSトランジスタのソース・ドレイン領域となる $P^+$ 型拡散層領域、19, 20は前記フィールド酸化膜14の端部と、前記 $P^+$ 型拡散層領域38, 39との間に形成された前記N型シリコン基板11より高濃度のN型不純物領域、24, 25は前記フィールド酸化膜14の端部と前記 $N^+$ 型拡散層領域33, 34との間に形成された前記P型ウェル領域12より高濃度のP型不純物領域、40は層間絶縁の爲の気相成長法によるシリコン酸化膜、41, 42, 43, 44はアルミ配線層である。

本構造において重要なことは、PチャンネルMOSトランジスタのソース・ドレイン領域となる $P^+$ 型拡散層領域38, 39およびNチャンネルMOSトランジスタのソース・ドレイン領域となる $N^+$ 型拡散層領域33, 34のいずれもが、LOCOS法で形成された厚いフィールド酸化膜14の端部から隔てられていることであり、これにより

#### <問題点を解決するための手段>

本発明は、上記放射線に基因するリーク電流に鑑み、フィールド酸化膜により画成される素子形成領域中の第2導電型の不純物領域とフィールド酸化膜との間に、第1導電型の基板領域と同一導電型の分離領域を介在させ、不純物領域と分離領域あるいは基板領域との間で形成されるPN接合をフィールド酸化膜から離隔させたことを要旨とする。

#### <実施例>

以下、本発明の一実施例を図面に従って説明する。

第1図は本発明の一実施例を示す断面図であり、11はN型シリコン基板、12はP型ウェル領域、13はNチャンネルMOS側領域の厚いフィールド酸化膜下部に形成されたチャンネルストップの爲の $P^+$ 型不純物領域、14は周知のLOCOS法で形成された厚いフィールド酸化膜、26, 27は熱酸化法で形成された薄いゲート酸化膜、28, 29はリンドーピングされた多結晶シリコンゲート電

放射線照射によって生じるフィールド酸化膜端部での $N^+P$ および $P^+N$ 接合リークの増加を防止できる。また、前記 $N^+$ および $P^+$ 型拡散層領域と、厚いフィールド酸化膜端部との間には、それぞれP型ウェル領域およびN型シリコン基板より高濃度のP型不純物領域24, 25およびN型不純物領域19, 20が形成されており、これによりソース・ドレイン領域間の寄生MOSによるリーク電流を防止できるのである。

次に、本発明における構造の作製方法を第2(A)図～(D)図を用いて説明する。

まず、第2(A)図に示すように周知のCMOSの製造方法を用いて、N型シリコン基板11上にP型ウェル領域12を形成し、LOCOS法で厚いフィールド酸化膜14を形成するとともに、NチャンネルMOS側領域の厚いフィールド酸化膜下部には、チャンネルストップの爲の $P^+$ 型拡散層領域を形成し、さらに素子形成領域に薄い熱酸化膜15を形成し、周知の光食刻法によりフォトレジスト16をパターンニングして、NチャンネルMOS側

領域の全てと、PチャンネルMOS領域のトランジスタ形成領域を前記フォトレジスト16でマスクして、前記薄い熱酸化膜15を通してリンのイオン注入を行ない、N型シリコン基板中にリン注入領域17, 18を形成する。

次に、第2(B)図に示すように、前記フォトレジスト16を除去した後、熱処理を行なって前記リンの注入領域をアニールして、前記基板より高濃度のN型不純物領域19, 20を形成した後、光食刻法によりフォトレジスト23をパターンニングして、PチャンネルMOS領域の全てとNチャンネルMOS領域のうちトランジスタ形成領域を前記フォトレジスト23でマスクして、前記薄い熱酸化膜15を通してボロンのイオン注入を行ない、P型ウェル領域中にボロン注入領域21, 22を形成する。

次に、第2(C)図に示すように、前記フォトレジスト23を除去した後、熱処理を行なって前記ボロンの注入領域をアニールして、前記ウェル領域より高濃度のP型不純物領域24, 25を形成し、

て、該フォトレジスト37をマスクとしてボロンのイオン注入を行ない、N型シリコン基板中にボロン注入領域35, 36を形成する。

次に第2(D)図に示すように、前記フォトレジスト37を除去した後、熱処理を行なって前記ボロンの注入領域をアニールして、PチャンネルMOSトランジスタのソース・ドレイン領域となるP<sup>+</sup>型拡散層領域38, 39を形成した後、全面に気相成長法によりシリコン酸化膜40を形成し、周知のフォトエッチング法によりコンタクト開口部を形成し、その後アルミ配線層41, 42, 43, 44を形成した。

なお、上記実施例では、N型半導体基板を用いた場合を示したが、P型半導体基板に対しても適用可能である。またN型基板より高濃度のN型拡散層領域19, 20を形成後、P型ウェル領域より高濃度のP型拡散層領域24, 25を形成した場合を示したが、逆の場合も適用可能である。またNチャンネルMOSトランジスタのソース・ドレイン領域を形成後、PチャンネルMOSトラン

ジスタのソース・ドレイン領域を形成したが逆も可能である。

前記薄い熱酸化膜15をエッチング除去して新たに熱酸化法によるゲート酸化膜を形成し、リンドーブされた多結晶シリコンを被着形成した後、フォトレジストを塗布し、周知のフォトエッチング法によりパターンニングして、ゲート酸化膜26, 27および多結晶シリコンゲート電極28, 29を形成する。

次に第2(E)図に示すように、光食刻法によりフォトレジスト32をパターンニングして、Nチャンネル側MOSトランジスタ形成領域を開口して、該フォトレジスト32をマスクとして砒素のイオン注入を行ない、P型ウェル領域中に砒素注入領域30, 31を形成する。

次に第2(F)図に示すように、前記フォトレジスト32を除去した後、熱処理を行なって前記砒素の注入領域をアニールして、NチャンネルMOSトランジスタのソース・ドレイン領域となるN<sup>+</sup>型拡散層領域33, 34を形成した後、光食刻法によりフォトレジスト37をパターンニングしてPチャンネル側MOSトランジスタ形成領域を開口し

トランジスタのソース・ドレイン領域を形成したが逆も可能である。

#### <効果>

以上説明してきたように、本発明によれば、第2導電型の不純物領域がフィールド酸化膜から第1導電型の分離領域で隔てられているので、放射線照射により生じるフィールド酸化膜端部でのN<sup>+</sup>PおよびP<sup>+</sup>N接合のリークを増加を防止できるとともに、前記実施例では、N<sup>+</sup>およびP<sup>+</sup>型拡散層領域と厚いフィールド酸化膜端部との間には、それぞれP型ウェル領域およびN型シリコン基板より高濃度の拡散層領域が形成されてソース・ドレイン領域間の寄生MOSによるリーク電流を防止できる効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す断面図、第2(A)図乃至第2(F)図は、一実施例の製造工程を示す断面図である。  
(第3図は砒素注入時を示す断面図)

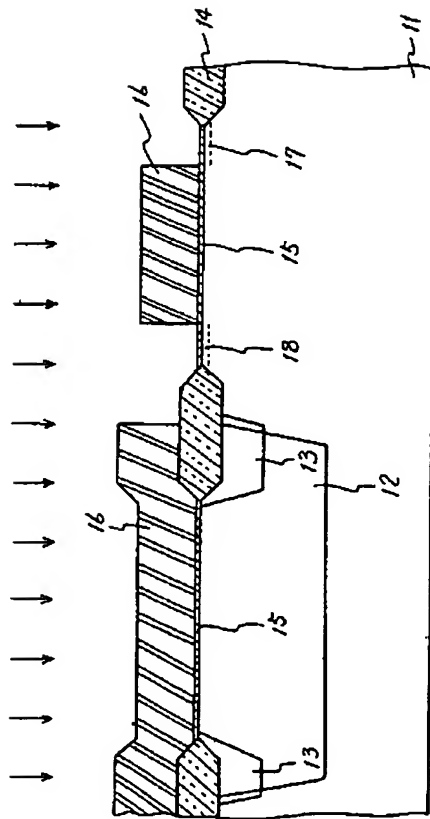
11, 12……基板領域、14……フィールド

酸化膜、33, 34, 38, 39……不純物領域、

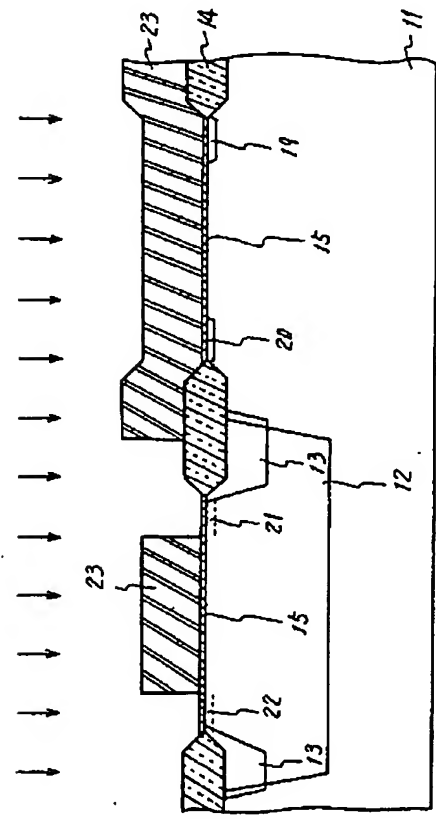
19, 20, 24, 25……分離領域。

代理人 弁理士 内 原 晋

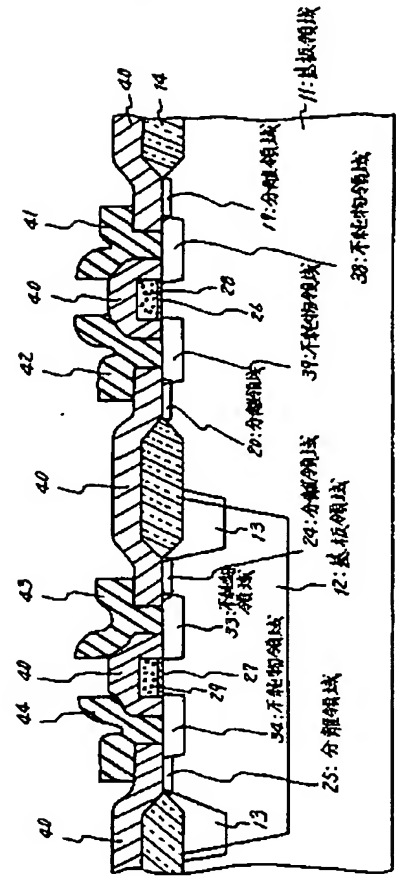
第2(a)図



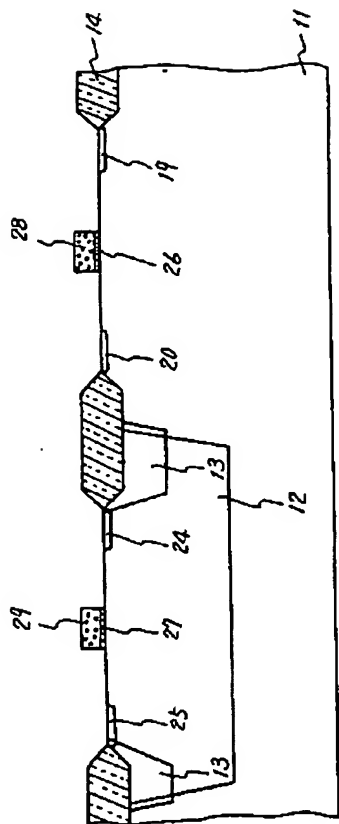
第2(b)図



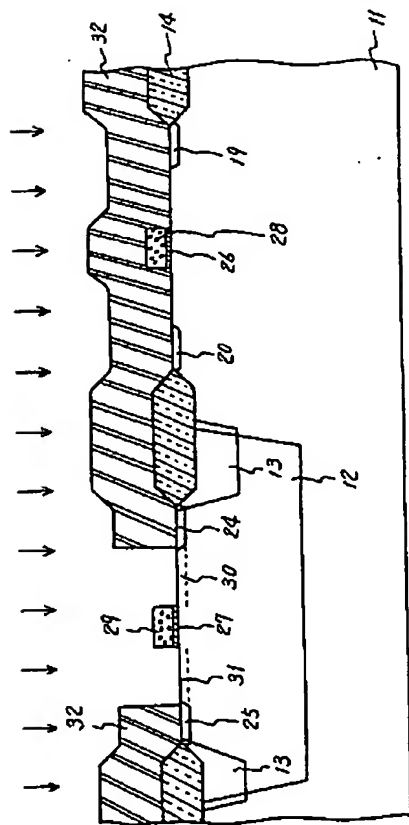
第1図



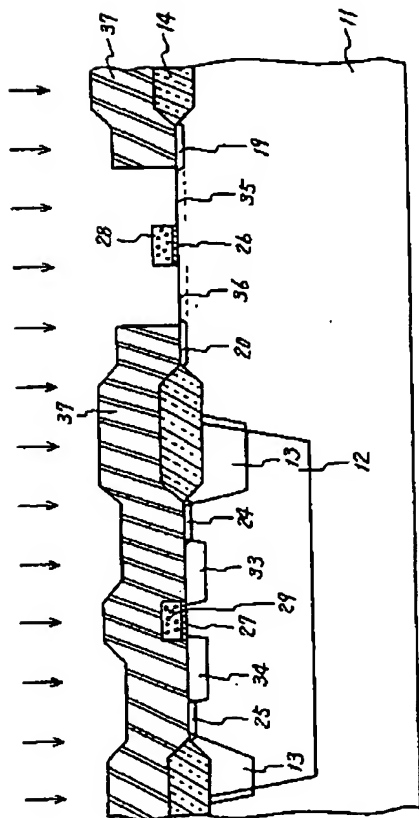
第2(C)図



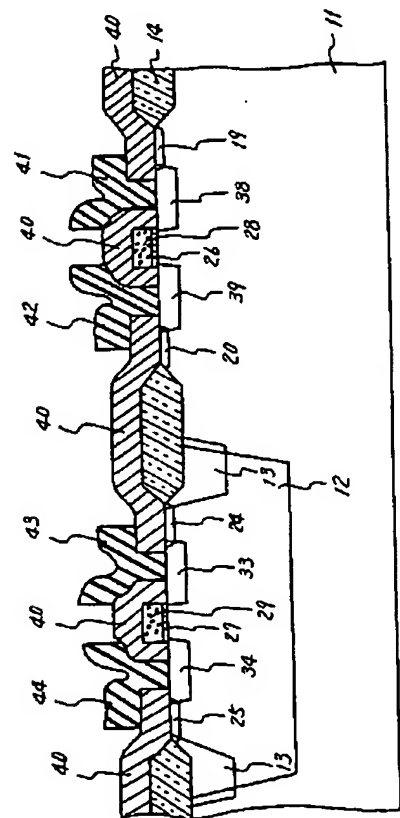
第2(D)図



第2(E)図



第2(F)図



第3図

